

2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-265780

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

G11C 11/41

G11C 11/417

G11C 17/18

(21)Application number : 08-076800

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.03.1996

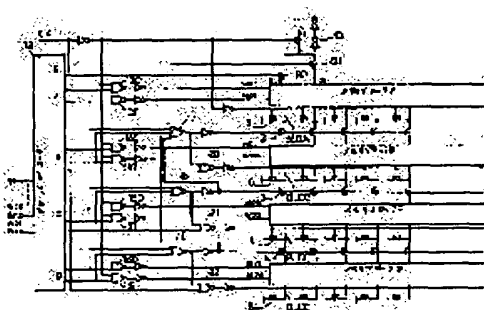
(72)Inventor : KUZUU MINORU

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption and to speed up operation by reducing the consumed current flowing in bit lines and also the loading capacity connected to the bit lines.

SOLUTION: A plurality of memory cells connected to one bit line BL0 are divided to four memory blocks A-D to connect precharge transistors 5-8 to each block and to insert bus transistors 2-4 into the bit lines between each block. When the memory block C is selected by an address, the precharge transistors 5-7 of the higher-side memory blocks A, B and C, are turned off and the precharge transistor 8 of the lower-side memory block D is kept in the on-state. Further the pass transistors 2, 3 respectively inserted between the memory blocks A, B and B, C are turned on and the pass transistor 4 inserted between the lower-side memory blocks C, D is turned off to conduct the readout of data from the selected memory block C.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-265780

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C	11/41		G 1 1 C	11/34 M
	11/417			3 0 5
	17/18		17/00	3 0 6 Z

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平8-76800

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 葛生 稔

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

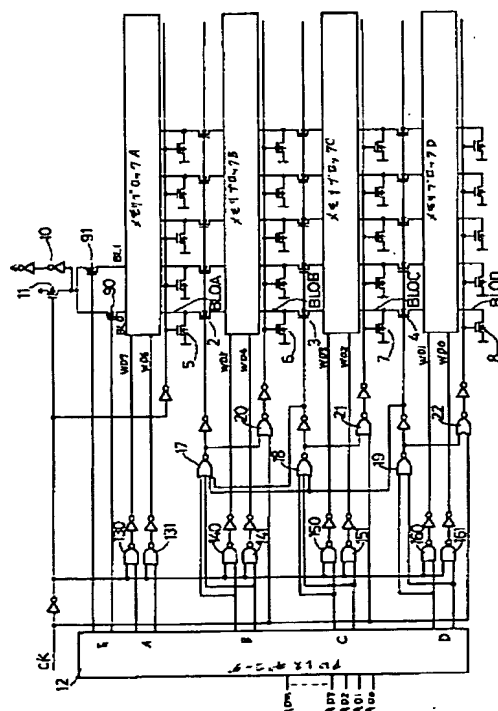
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 ビット線の消費電流を低減して低消費電力化を計ると共に、ビット線に接続される負荷容量を減らして動作速度を向上させる。

【解決手段】 同一ビット線B L 0に接続される複数のメモリセルを4つのメモリブロックA～Dに分割し、各ブロック毎にプリチャージ用トランジスタ5～8を接続すると共に、各ブロック間のビット線にパストランジスタ2～4を挿入し、アドレスによりメモリブロックCが選択されたとき、上位側のメモリブロックA、B、Cのプリチャージ用トランジスタ5～7をオフし、下位側のメモリブロックDのプリチャージ用トランジスタ8をオン状態に維持し、更に、上位側のメモリブロックA B間とB C間に各々挿入されたパストランジスタ2、3をオンし、下位側のメモリブロックC D間に挿入されたパストランジスタ4をオフして、選択されたメモリブロックCからのデータ読み出しを行う。



1

【特許請求の範囲】

【請求項1】 同一ビット線に接続され、センスアンプを通してメモリ内容が出力される複数のメモリセルを複数のメモリブロックに分割し、各ブロック毎にプリチャージ用トランジスタを接続すると共に、各ブロック間にパストランジスタを挿入し、アドレスにより前記複数のメモリブロックのいずれかが選択されたとき、該選択されたメモリブロックから前記センスアンプまでの上位側のメモリブロックの前記プリチャージ用トランジスタをオフし、前記選択されたメモリブロックより下位側のメモリブロックの前記プリチャージ用トランジスタをオン状態に維持し、且つ、前記選択されたメモリブロックより上位側のメモリブロック間に各々挿入された前記パストランジスタをオンし、前記選択されたメモリブロックより下位側のメモリブロック間に各々挿入された前記パストランジスタをオフして、前記選択されたメモリブロックからの読み出しを行うことを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ROMやSRAM等、ビット線を予めプリチャージし、プリチャージ状態を解除してデータの読み出しを行う半導体メモリ装置に関する。

【0002】

【従来の技術】 従来、ROMやSRAM等のメモリにおいては、同一のビット線に複数のメモリセルが直接接続されており、ビット線をプリチャージするためのプリチャージ用トランジスタが各ビット線毎に1つずつ接続されていた。そして、クロック信号によりプリチャージ用トランジスタのオンオフが制御され、オン時にビット線がプリチャージ状態となり、オフ時にプリチャージ状態が解除されて、アドレスにより選択されたメモリセルのデータがビット線を介して読み出されるよう構成されていた。

【0003】

【発明が解決しようとする課題】 通常、ビット線には数十～数百のメモリセルが接続されているため、負荷容量が非常に大きく、しかも、ビット線はアドレスが切り換わる毎にクロック信号に応じてプリチャージとその解除を繰り返す。従って、消費電力が大きいと共に動作速度が遅いという課題があった。

【0004】

【課題を解決するための手段】 本発明は、同一ビット線に接続され、センスアンプを通してメモリ内容が出力される複数のメモリセルを複数のメモリブロックに分割し、各ブロック毎にプリチャージ用トランジスタを接続すると共に、各ブロック間にパストランジスタを挿入し、アドレスにより前記複数のメモリブロックのいずれかが選択されたとき、該選択されたメモリブロックから

2

前記センスアンプまでの上位側のメモリブロックの前記プリチャージ用トランジスタをオフし、前記選択されたメモリブロックより下位側のメモリブロックの前記プリチャージ用トランジスタをオン状態に維持し、且つ、前記選択されたメモリブロックより上位側のメモリブロック間に各々挿入された前記パストランジスタをオンし、前記選択されたメモリブロックより下位側のメモリブロック間に各々挿入された前記パストランジスタをオフして、前記選択されたメモリブロックからの読み出しを行うことにより、上記課題を解決するものである。

【0005】 本発明では、パストランジスタによりメモリブロック毎にビット線が分割され、データの読み出しが行われるメモリブロックより下位側のメモリブロックについては、分割されたビット線はプリチャージ状態を維持するので、これらのビット線において充放電電流が流れなくなって消費電流が低減すると共に、負荷容量も減って動作速度が速くなる。

【0006】

【発明の実施の形態】 図1は、本発明の実施の形態を示す回路図であり、メモリ1は複数のメモリセルがマトリクス状に配列され、ワード線方向に分割された4つのメモリブロック、メモリブロックA、メモリブロックB、メモリブロックC及びメモリブロックDより構成されている。即ち、同一のビット線BL0に接続される8個のメモリセルが2個ずつ各メモリブロックA～Dに各々分配されており、他のビット線BL1、BL2、……に接続されているメモリセルについても同様である。

【0007】 各メモリブロック間AとB、BとC、CとDの各ビット線には、各々、ビット線を分割するためのパストランジスタ2、3、4が挿入されており、また、分割された各ビット線BL0A、BL0B、BL0C、BL0Dには、これらのビット線を各々プリチャージするためのプリチャージ用トランジスタ5、6、7、8が、各メモリブロック毎に電源電圧VDDとの間に接続されている。このような構成は他のビット線についても同様である。

【0008】 尚、パストランジスタ及びプリチャージ用トランジスタは、全てNチャンネルトランジスタで構成されている。また、複数のビット線BL0、BL1、……は、ビット線選択用のトランジスタ90、91、……を介して共通にセンスアンプ10に接続されており、センスアンプ10の入力側には、電源電圧VDDとの間にクロック信号CKの反転信号によりオンオフするPチャンネルトランジスタ11が接続され、このトランジスタによってセンスアンプ10の出力は、プリチャージ状態ではHレベルに固定されている。

【0009】 メモリセルを選択するためのアドレスAD0、AD1、AD2、AD3、……ADnは、アドレスデコーダ12に入力され、そのデコード出力A、B、C、Dによりメモリ1のワード線WD0～WD7のいず

3

れかが選択され、デコード出力Eによりビット線選択用トランジスタ90, 91, …… のいずれかがオンすることにより、ビット線BL0, BL1, …… のいずれかが選択される。各デコード出力A, B, C, Dは、一端にクロック信号CKの反転信号を入力するNANDゲート130及び131, 140及び141, 150及び151, 160及び161に各々入力され、これらNANDゲートの出力の反転信号が各々対応するメモリブロックにワード線選択信号として供給されている。

【0010】また、メモリブロックDには、2ビットのデコード出力Dを入力するNORゲート19が設けられ、このゲート出力の反転信号がメモリブロックCD間に挿入されたパストランジスタ4のゲートに印加されている。メモリブロックCには、2ビットのデコード出力CとNOR19の出力反転信号を入力するNORゲート18が設けられ、このゲート出力の反転信号がメモリブロックBC間に挿入されたパストランジスタ3のゲートに印加されている。メモリブロックBには、2ビットのデコード出力BとNORゲート19及びNORゲート18の出力反転信号を入力するNORゲート17が設けられ、このゲート出力の反転信号がメモリブロックAB間に挿入されたパストランジスタ2のゲートに印加されている。

【0011】更に、各メモリブロックB, C, Dには、NORゲート17, 18, 19の出力を各々一端に入力し、他端にクロック信号CKを入力するNORゲート20, 21, 22が設けられており、これらのゲート出力の反転信号がメモリブロックB, C, Dのプリチャージ用トランジスタ6, 7, 8のゲートに各々印加されている。但し、メモリブロックAのプリチャージ用トランジスタ5のゲートには、クロック信号CKが2段のインバータを介して印加されている。

【0012】以下、図2のタイミングチャートを参照しながら、本実施形態の動作を説明する。まず、クロック信号CKがHレベルになると、メモリブロックAのプリチャージ用トランジスタ5がオンし、また、NORゲート20, 21, 22の出力がLレベルになるので、各メモリブロックB, C, Dのプリチャージ用トランジスタ6, 7, 8もオンし、全ての分割ビット線BL0A, BL0B, BL0C, BL0Dは、図2カ〜ケに示すようにプリチャージ状態になる。

【0013】ここで、アドレスデコーダ12において、2ビットのデコード出力Aのいずれかが図2イに示すようにHレベルであると、クロック信号CKがLレベルになることにより、NANDゲート130, 131のいずれかの出力の反転信号がHレベルになると共に、プリチャージ用トランジスタ5がオフしてプリチャージ状態が図2カに示すように解除され、従って、メモリブロックA内のメモリセル内容が、アドレスEで選択されたビット線からセンスアンプ10を介して読み出される。この

4

場合、デコード出力B, C, DはLレベルなので、NORゲート17, 18, 19の出力の反転信号は全てLレベルとなり、全てのパストランジスタ2, 3, 4はオフする。よって、分割ビット線BL0B, BL0C, BL0Dには充放電電流は流れない。

【0014】また、この状態では、NORゲート17, 18, 19の出力はHレベルになるので、クロック信号CKがLレベルになってもNORゲート20, 21, 22の出力の反転信号はHレベルとなり、このため、メモリブロックB, C, Dのプリチャージ用トランジスタ6, 7, 8は、図2キ, ク, ケに示すようにプリチャージ状態を維持する。

【0015】次に、デコード出力BがHレベルになった場合は、NORゲート17の出力がLレベルになるので、その反転信号がHレベルになりメモリブロックAB間のパストランジスタ2がオンする。更に、クロック信号CKがLレベルになると、NANDゲート140, 141の出力の反転信号のいずれかがHレベルとなり、メモリブロックBが選択されると共に、NORゲート20の両入力がLレベルになるので、メモリブロックBのプリチャージ用トランジスタ6がオフする。また、メモリブロックAのプリチャージ用トランジスタ5はクロック信号CKがLレベルになるといつでもオフする。従って、メモリブロックBのプリチャージ状態は、図2キに示すように解除され、選択されたメモリブロックB内のメモリセル内容がビット線を介して読み出されることとなる。

【0016】この場合、デコード出力C, DはLレベルなので、NORゲート18, 19の出力の反転信号はLレベルとなり、パストランジスタ3, 4はオフする。よって、分割ビット線BL0C, BL0Dには充放電電流が流れない。また、この状態では、NORゲート18, 19の出力はHレベルになるので、クロック信号CKがLレベルになってもNORゲート21, 22の出力の反転信号はHレベルとなり、このため、メモリブロックC, Dのプリチャージ用トランジスタ7, 8は、図2ク, ケに示すようにプリチャージ状態を維持する。

【0017】デコード出力CがHレベルになった場合は、NORゲート18の出力がLレベルになるので、その反転信号がHレベルになり、更に、この反転信号がNORゲート17に入力されるので、NORゲート17の出力の反転信号もHレベルになる。よって、メモリブロックAB間とBC間のパストランジスタ2, 3がオンする。ここで、クロック信号CKがLレベルになると、NANDゲート150, 151の出力の反転信号のいずれかがHレベルとなり、メモリブロックCが選択されると共に、NORゲート21の両入力がLレベルになるので、メモリブロックCのプリチャージ用トランジスタ7がオフする。また、NORゲート17の出力がLレベルになることにより、メモリブロックBのプリチャージ用

5

トランジスタ 6 もオフし、メモリブロック A のプリチャージ用トランジスタ 5 もオフする。従って、メモリブロック C のプリチャージ状態は、図 2 クに示すように解除され、選択されたメモリブロック C 内のメモリセル内容がビット線を介して読み出されることとなる。

【0018】この場合、デコード出力 D は L レベルなので、NOR ゲート 19 の出力の反転信号は L レベルとなり、パストランジスタ 4 はオフし、分割ビット線 B L O D には充放電電流が流れない。また、NOR ゲート 19 の出力は H レベルになるので、クロック信号 C K が L レベルになっても NOR ゲート 22 の出力の反転信号は H レベルとなり、メモリブロック D のプリチャージ用トランジスタ 8 は、図 2 ケに示すようにプリチャージ状態を維持する。

【0019】最後に、デコード出力 D が H レベルになった場合は、NOR ゲート 19 の出力が L レベルになるので、その反転信号が H レベルになり、これに応じて、NOR ゲート 17、18 の出力の反転信号も H レベルになる。よって、メモリブロック A B 間、B C 間、C D 間の全てのパストランジスタ 2、3、4 がオンする。ここで、クロック信号 C K が L レベルになると、NAND ゲート 160、161 の出力の反転信号のいずれかが H レベルとなり、メモリブロック D が選択されると共に、NOR ゲート 22 の両入力 L レベルになるので、メモリブロック D のプリチャージ用トランジスタ 8 がオフする。また、NOR ゲート 17、18 の出力が L レベルになることにより、メモリブロック B、C のプリチャージ用トランジスタ 6、7 もオフし、メモリブロック A のプリチャージ用トランジスタ 5 もオフする。従って、メモリブロック D のプリチャージ状態は、図 2 ケに示すよう

に解除され、選択されたメモリブロック D 内のメモリセル内容がビット線を介して読み出されることとなる。

6

【0020】以上のように、アドレスにより複数のメモリブロックのいずれかが選択された場合、選択されたメモリブロックからセンスアンプ 10 までの上位側のメモリブロックのプリチャージトランジスタがオフし、選択されたメモリブロックより下位側のメモリブロックのプリチャージトランジスタがオン状態に維持され、更に、選択されたメモリブロックより上位側のメモリブロック間に各々挿入されたパストランジスタがオンし、選択されたメモリブロックより下位側のメモリブロック間に各々挿入されたパストランジスタがオフすることとなり、これによってビット線の消費電流が低減すると共に、負荷容量も減る。

【0021】

【発明の効果】本発明によれば、ビット線の消費電流を低減できるので低消費電力化を計ることができ、さらには、ビット線に接続される負荷容量も減るので動作速度を向上させることができる。よって、携帯機器へ適用する場合に非常に有効となる。

【図面の簡単な説明】

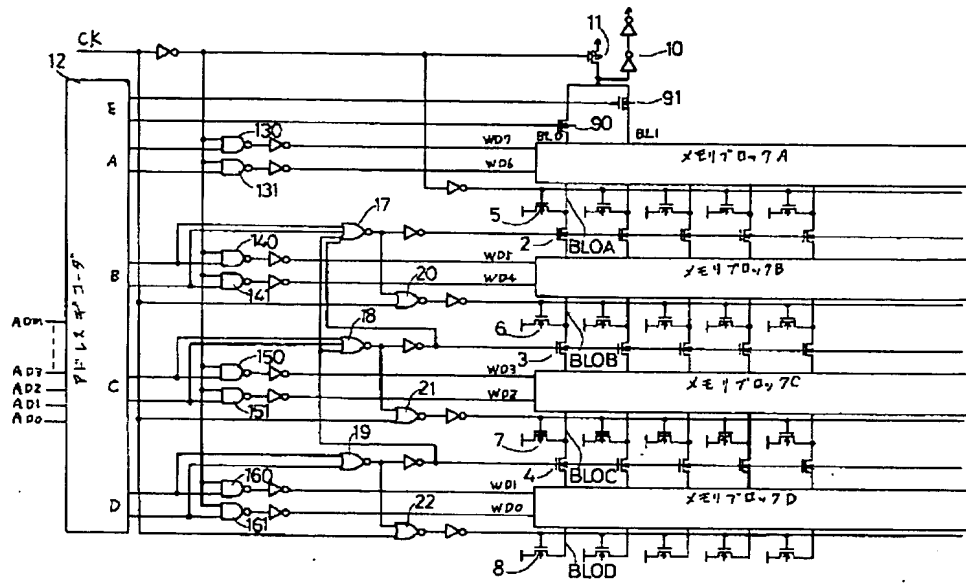
【図 1】本発明の実施の形態を示す回路図である。

【図 2】本発明の実施形態の動作を説明するためのタイミングチャートである。

【符号の説明】

- 1 メモリ
- 2、3、4 パストランジスタ
- 5、6、7、8 プリチャージ用トランジスタ
- 10 センスアンプ
- 12 アドレスデコーダ
- 130、131、140、141 NANDゲート
- 150、151、160、161 NANDゲート
- 17、18、19、20、21、22 NORゲート

【図 1】



【図2】

